

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216332

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 27/108

H01L 27/04

(21)Application number : 04-067809

(71)Applicant : NEC CORP

(22)Date of filing : 26.03.1992

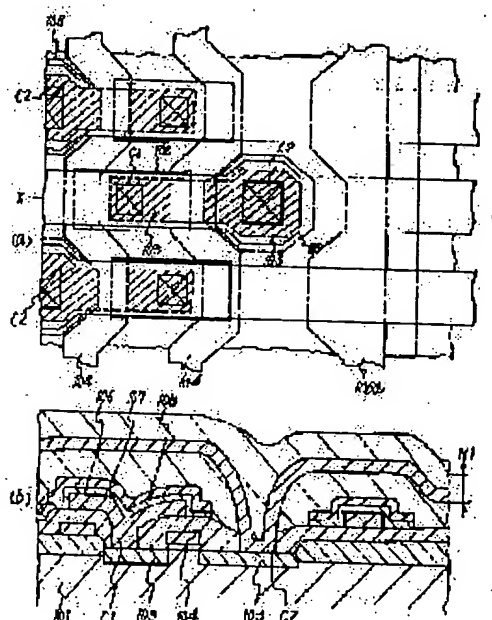
(72)Inventor : IWASA SHINYA

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To reduce step-difference and improve patterning precision of digit lines, by forming at least one conductive film as a dummy on an element isolation insulating film simultaneously with word lines, and a first and a second capacitor electrodes next to a memory cell array.

CONSTITUTION: An interlayer insulating film is grown, and a capacitor contact hole IVC 1 is formed on one of the source and drain regions of a switching transistor. A polycrystalline silicon film is grown, and a first capacitor electrode 106 and a dummy capacitor electrode 106d are formed by shaping the film into a specified pattern. The dummy capacitor electrode is arranged next to the memory cell array end portion. A capacitor insulating film 107 and a second capacitor electrode 108 are grown and patterned in a specified form. The level-difference H1 of the memory cell array part and a peripheral circuit part is reduced, and a gentle interlayer insulating film 109 can be formed, so that patterning precision of digit lines formed on the second capacitor electrode can be improved.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2827675

[Date of registration] 18.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-216332

(43) 公開日 平成6年(1994)8月5日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M		
		7210-4M	H 0 1 L 27/ 10	3 2 5 C

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平4-67809

(22) 出願日 平成4年(1992)3月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岩佐 晋也

東京都港区芝五丁目7番1号日本電気株式会社内

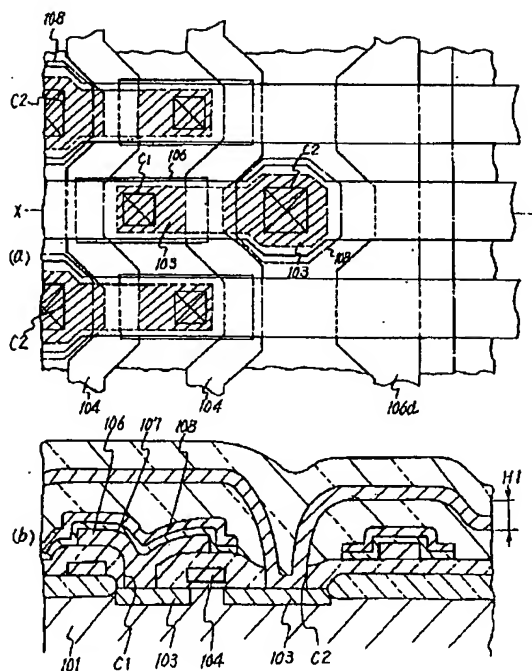
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 メモリセルアレー部と周辺回路部との段差が大きいために、ディジット線のパターニングの際、下地の影響を受けるためにパターニングの精度が低下することを防止する。

【構成】 メモリセルアレーに隣接してダミーワード線またはダミーキャパシタ電極 106d を配置することにより、メモリセルアレー部と周辺回路部との段差を軽減し、メモリセルアレー部から周辺回路部への傾斜を緩和することによりパターニング精度を向上させることが可能となる。



(2)

特開平6-216332

1

2

【特許請求の範囲】

【請求項1】 第1導電型半導体基板の表面部に選択的に形成された1対の第2導電型不純物拡散層および前記1対の第2導電型不純物拡散層で挟まれた領域をゲート絶縁膜を介して選択的に被覆するゲート電極を有するスイッチング用トランジスタと、前記1対の第2導電型不純物拡散層の一方に接続され、前記ゲート電極の少なくとも一部を層間絶縁膜を介して被覆する第1のキャパシタ電極および前記第1のキャパシタ電極をキャパシタ絶縁膜を介して被覆する第2のキャパシタ電極からなる電荷蓄積用キャパシタとからなるメモリセルとを有し、前記メモリセルをアレー状に配置し複数のメモリセルのゲート電極を所定方向に連結したワード線および前記ワード線と交わる方向に配置され前記スイッチング用トランジスタの1対の第2導電型不純物拡散層の他方に接続されたディジット線とを有する半導体記憶装置において、前記ゲート電極と同一材料の第1の導電膜、前記第1のキャパシタ電極と同一材料の第2の導電膜および前記第2のキャパシタ電極と同一材料の第3の導電膜のうちの少なくとも一つが、前記メモリセルをアレー状に配置した領域のディジット線方向に隣接する領域にダミーとして設けられていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特にスタック型ダイナミックRAMに関する。

【0002】

【従来の技術】 近年、ダイナミックRAMの高集積化に伴い、メモリセルの高密度化が必須のものとなっている。従って、これらのメモリセルには微細化が要求されると共に、パターンニング精度が要求されている。また、メモリとしての信頼性を確保するためセルキャパシタの構造も、従来の平板型キャパシタに代わるものとして、三次元構造を有する積層型キャパシタ等が提案されこれらの構造により、メモリセルアレー部と、メモリセルアレー部をとり囲むように配置されているセンス増幅器やデコーダ等を含む周辺回路部との段差や疎密差が促進されることによりメモリセルアレー端部において、パターンニング精度が得られないことが知られている。従来周辺回路部とメモリセルアレー部との疎密差によるメモリセルアレー端部におけるパターンニング精度の悪化が回路特性に与える影響を軽減するため、メモリセルアレー周辺にダミーセルを配置することが試みられた。

【0003】 図3(a)は三次元構造を有するメモリセルアレー端部の平面図、図3(b)は図3(a)のX-X線断面図である。p型シリコン基板1の表面部に素子分離絶縁膜2で分離されたトランジスタ形成領域にn型不純物拡散層3を形成し、メモリセルのスイッチング用トランジスタのソース・ドレイン領域の一方に接続して第1のキャパシタ電極6を形成する。このキャパシタ電

極6表面にキャパシタ絶縁膜7を形成後、このキャパシタ絶縁膜7上にセルプレートとなる第2のキャパシタ電極8を形成し、積層型キャパシタを構成する。この積層型キャパシタは、分離絶縁膜2およびスイッチング用トランジスタのゲート電極4上に設けられているので、メモリセルアレー部と周辺回路部との段差H3が促進される。従来、メモリセルアレー端部のワード線4、キャパシタ電極6、8をダミーとすることによりメモリセルアレー部と周辺回路部との疎密差によるメモリセルアレー内部のパターンニング精度の悪化を軽減することができたが、電荷蓄積用キャパシタ形成後、上部に形成されるディジット線11のパターンニング精度はメモリセルアレー部と周辺回路部との段差部における傾斜による影響（露光時のUV光の反射による）を受け、メモリセルアレー端部において著しく悪化する。

【0004】

【発明が解決しようとする課題】 以上説明したように三次元積層構造もつメモリセルを有する半導体記憶装置では、メモリセルアレー部と周辺回路部との段差が大きくなり、セルキャパシタ形成後に上部に形成されるディジット線のパターンニング精度がメモリセルアレー端部において特に悪くなるという問題点があった。

【0005】

【課題を解決するための手段】 本発明は、第1導電型半導体基板の表面部に選択的に形成された1対の第2導電型不純物拡散層および前記1対の第2導電型不純物拡散層で挟まれた領域をゲート絶縁膜を介して選択的に被覆するゲート電極を有するスイッチング用トランジスタと、前記1対の第2導電型不純物拡散層の一方に接続され、前記ゲート電極の少なくとも一部を層間絶縁膜を介して被覆する第1のキャパシタ電極および前記第1のキャパシタ電極をキャパシタ絶縁膜を介して被覆する第2のキャパシタ電極からなる電荷蓄積用キャパシタとからなるメモリセルとを有し、前記メモリセルをアレー状に配置し複数のメモリセルのゲート電極を所定方向に連結したワード線および前記ワード線と交わる方向に配置され前記スイッチング用トランジスタの1対の第2導電型不純物拡散層の他方に接続されたディジット線とを有する半導体記憶装置において、前記ゲート電極と同一材料の第1の導電膜、前記第1のキャパシタ電極と同一材料の第2の導電膜および前記第2のキャパシタ電極と同一材料の第3の導電膜のうちの少なくとも一つが、前記メモリセルをアレー状に配置した領域のディジット線方向に隣接する領域にダミーとして設けられているというものである。

【0006】

【実施例】 以下、本発明の実施例について図面を参照して説明する。

【0007】 図1(a)は本発明の第1の実施例の説明に使用する半導体チップの平面図、図1(b)は図1

(3)

特開平6-216332

3

4

(a)のX-X線断面図である。

【0008】まずp型シリコン基板101の表面にLICOS法等を用いて素子分離絶縁膜102を形成し、スイッチング用トランジスタ形成領域表面にゲート酸化膜を形成し、厚さ300nm程度の多結晶シリコン膜を成長させイオン注入を行ないパターニングを施し、n型不純物拡散層103およびスイッチング用トランジスタのゲート電極を連結したワード線104を形成する。

【0009】次に、層間絶縁膜105を成長させ、スイッチング用トランジスタのソース・ドレイン領域の一方の上にキャパシタコンタクトホールC1を形成しその後、多結晶シリコン膜を厚さ300nm程度成長させ、所定のパターンに加工して第1のキャパシタ電極106およびダミーキャパシタ電極106dを形成する。ダミーキャパシタ電極はメモリセルアレー端部に隣接して配置する。その後キャパシタ絶縁膜107、第2のキャパシタ電極108を順次成長させ所定の形にパターニングする。

【0010】メモリセルアレーに隣接してダミーキャパシタ電極106dを図示のような形状に形成することにより、メモリセルアレー部と周辺回路部との段差H1が軽減され(H1<H3)、層間絶縁膜109がメモリセルアレー部から周辺回路部にかけてなだらかに形成でき、メモリセルアレー端部の第1のキャパシタ電極106による起伏が解消されるため、第2のキャパシタ電極108上に形成されるディジット線110のパターニング精度を向上させることが可能となる。また従来のダミーセルをメモリセル端部に配置することにより面積を少なくすることができる。

【0011】図2(a)は本発明の第2の実施例の説明に使用する平面図、図2(b)は図2(a)のX-X線断面図である。

【0012】本実施例ではメモリセルアレーに隣接してダミーワード線204d(ワード線と同時に形成)およびダミーキャパシタ電極206d(第1のキャパシタ電極206と同時に形成)を配置する。これにより、層間

絶縁膜205、209がメモリセルアレー端部から周辺回路部にかけてなだらかになり、第2のキャパシタ電極208とディジット線210との間隔がメモリセルアレー端部でも大きくとれ、ディジット線とキャパシタとが短絡することがなくなり、さらにディジット線のパターニング精度が向上する。

【0013】

【発明の効果】以上説明したように本発明は、メモリセルアレーに隣接して、ワード線、第1のキャパシタ電極および第2のキャパシタ電極と同時に形成される少なくとも一つの導電膜をダミーとして素子分離絶縁膜上に形成することにより、メモリセルアレー部と周辺回路部との段差による傾斜をなだらかにしたので、ディジット線のパターニング精度を向上できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明に使用する平面図(図1(a))および断面図(図1(b))である。

【図2】本発明の第2の実施例の説明に使用する平面図(図2(a))および断面図(図2(b))である。

【図3】従来の技術の説明に使用する平面図(図3(a))および断面図(図3(b))である。

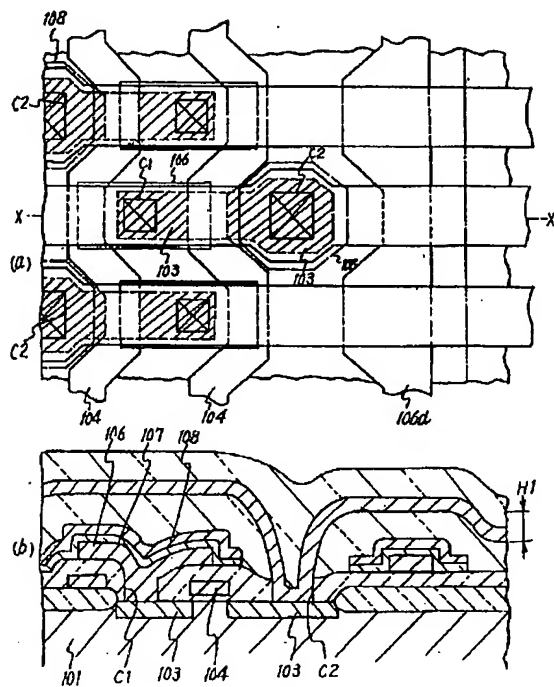
【符号の説明】

1, 101, 201	p型シリコン基板
2, 102, 202	素子分離絶縁膜
3, 103, 203	n型不純物拡散層
4, 104, 204	ゲート電極
204d	ダミーワード線
5, 105, 205	層間絶縁膜
6, 106, 206	第1のキャパシタ電極
106d	ダミーキャパシタ電極
7, 107, 207	キャパシタ絶縁膜
8, 108, 208	第2のキャパシタ電極
9, 109, 209	層間絶縁膜
10, 110, 210	ディジット線
11, 111, 211	カバー絶縁膜

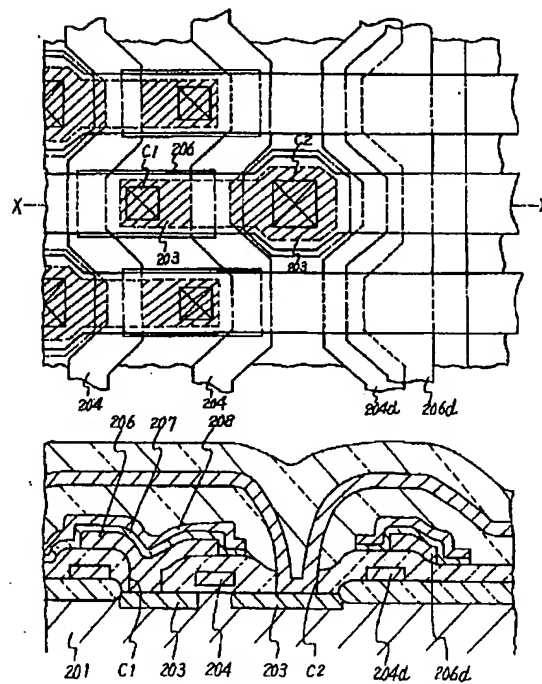
(4)

特開平6-216332

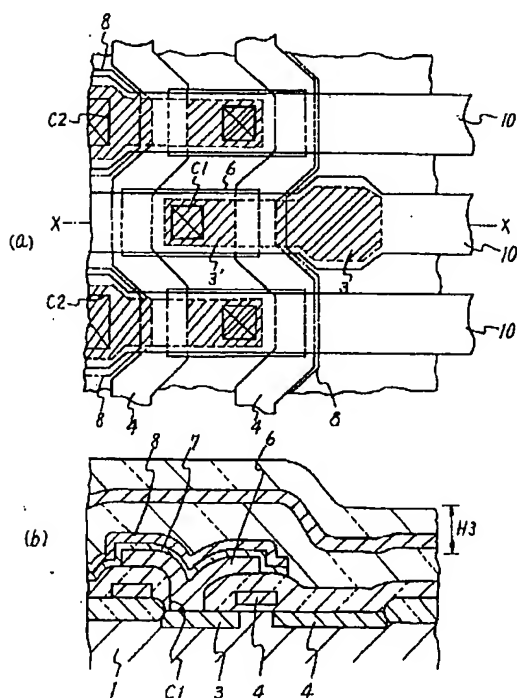
【図1】



【図2】



【図3】



(5)

特開平6-216332

【手続補正書】

【提出日】平成5年10月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明に使用する平面図（図1（a））および断面図（図1（b））である。

【図2】本発明の第2の実施例の説明に使用する図である。

【図3】従来の技術の説明に使用する平面図（図3（a））および断面図（図3（b））である。

【符号の説明】

1, 101, 201	p型シリコン基板
2, 102, 202	素子分離絶縁膜
3, 103, 203	n型不純物拡散層
4, 104, 204	ゲート電極
204d	ダミーワード線
5, 105, 205	層間絶縁膜
6, 106, 206	第1のキャパシタ電極
106d	ダミーキャパシタ電極
7, 107, 207	キャパシタ絶縁膜
8, 108, 208	第2のキャパシタ電極
9, 109, 209	層間絶縁膜
10, 110, 210	ディジット線
11, 111, 211	カバー絶縁膜